

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-173460  
 (43)Date of publication of application : 17.06.2004

(51)Int.CI.

H02M 3/155

(21)Application number : 2002-338954

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.11.2002

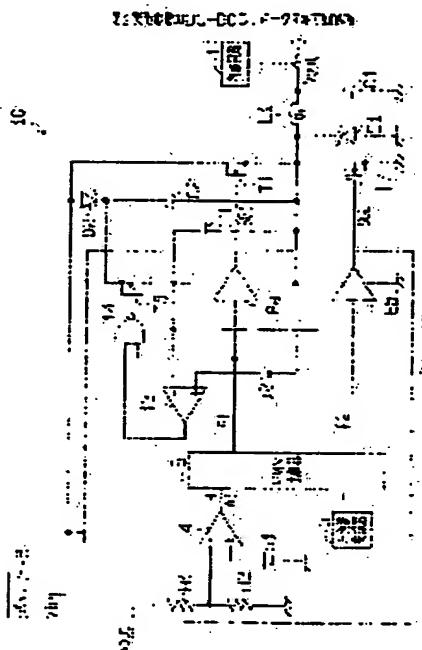
(72)Inventor : NATSUME MASAHIRO  
 TAKIMOTO HISAIICHI  
 OZAWA HIDEKIYO

**(54) DC-DC CONVERTER CONTROL METHOD, DC-DC CONVERTER, SEMICONDUCTOR INTEGRATED CIRCUIT, AND ELECTRONIC APPARATUS**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a DC-DC converter that can achieve high conversion efficiency, without using a linear regulator.

**SOLUTION:** The DC-DC converter 10 switches on and off a main switching transistor T1, to perform DC-DC conversion. A series circuit comprising a diode D2 and a first capacitor C2 is connected in parallel between the source and drain of the transistor T1, and a second capacitor C3 is connected in parallel with the first capacitor C2 via a transistor T3. A gate voltage for driving the transistor T1 is generated by connecting or disconnecting each capacitor C2, C3 by the transistor T3, synchronizing with the turning on/off of the transistor T1.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-173460

(P2004-173460)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int.Cl.<sup>7</sup>  
H02M 3/155F 1  
H02M 3/155

H

テーマコード(参考)  
5H730

審査請求 未請求 請求項の数 10 O.L. (全 22 頁)

(21) 出願番号 特願2002-338954 (P2002-338954)  
(22) 出願日 平成14年11月22日 (2002.11.22)(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100068755  
弁理士 恩田 博宣  
(74) 代理人 100105957  
弁理士 恩田 誠  
(72) 発明者 夏目 雅弘  
愛知県春日井市高蔵寺町二丁目1844番  
2 富士通ヴィエルエスアイ株式会社内  
(72) 発明者 滝本 久市  
愛知県春日井市高蔵寺町二丁目1844番  
2 富士通ヴィエルエスアイ株式会社内

最終頁に続く

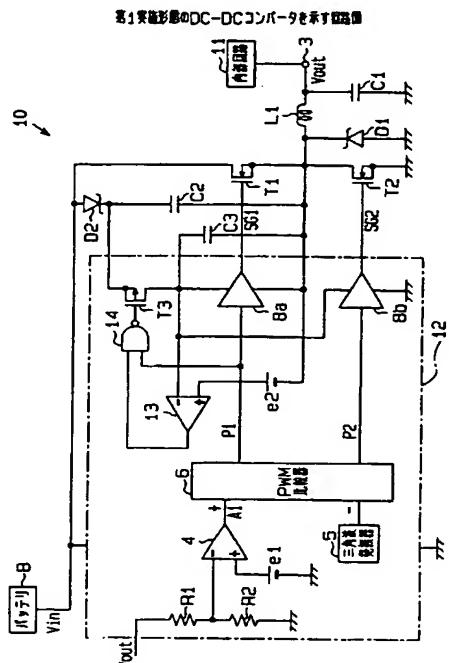
(54) 【発明の名称】 DC-DCコンバータの制御方法、DC-DCコンバータ、半導体集積回路装置、及び電子機器

## (57) 【要約】

【課題】 リニアレギュレータを用いることなく、高い変換効率を実現することができるDC-DCコンバータを提供すること。

【解決手段】 DC-DCコンバータ10は、メインスイッチング用トランジスタT1をオン/オフ駆動してDC-DC変換を実施する。メインスイッチング用トランジスタT1のソース・ドレイン間には、ダイオードD2と第1コンデンサC2とからなる直列回路を並列に接続し、第1コンデンサC2にトランジスタT3を介して第2コンデンサC3を並列に接続する。メインスイッチング用トランジスタT1のオン/オフに同期して、トランジスタT3により各コンデンサC2、C3を接続又は切り離すことにより、メインスイッチング用トランジスタT1を駆動するためのゲート電圧を生成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

メインスイッチング用トランジスタをオン／オフ駆動してDC—DC変換を実施するDC—DCコンバータの制御方法であって、

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、

前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するようにしたことを特徴とするDC—DCコンバータの制御方法。

10

## 【請求項 2】

前記メインスイッチング用トランジスタのオフ時に、前記第1コンデンサを、該メインスイッチング用トランジスタに供給される入力電圧により前記ダイオードを介して充電し、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと第2コンデンサとを並列に接続して前記第2コンデンサを充電し、その第2コンデンサの電圧を、前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給することを特徴とする請求項1に記載のDC—DCコンバータの制御方法。

## 【請求項 3】

メインスイッチング用トランジスタをオン／オフ駆動してDC—DC変換を実施するDC—DCコンバータであって、

20

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第1コンデンサとからなる直列回路が並列に接続され、前記第1コンデンサにスイッチ回路を介して第2コンデンサが並列に接続され、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するゲート電圧生成手段を有することを特徴とするDC—DCコンバータ。

## 【請求項 4】

前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

30

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサにより充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給されることを特徴とする請求項3に記載のDC—DCコンバータ。

## 【請求項 5】

前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを備えたことを特徴とする請求項4に記載のDC—DCコンバータ。

## 【請求項 6】

メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換するDC—DCコンバータであって、

40

前記メインスイッチング用トランジスタのソース・ドレイン間に設けられた、入力電圧を分圧する第1コンデンサと第2コンデンサと、

前記第1コンデンサと第2コンデンサにより分圧された入力電圧により、メインスイッチング用トランジスタの駆動電圧を生成する駆動電圧生成手段とを有することを特徴とするDC—DCコンバータ。

## 【請求項 7】

メインスイッチング用トランジスタをオン／オフ駆動してDC—DC変換を実施するDC—DCコンバータを構成するために用いられる半導体集積回路装置であって、

50

前記 DC - DC コンバータは、前記メインスイッチング用トランジスタのソース・ドレン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、前記スイッチ回路を、前記メインスイッチング用トランジスタの駆動信号を生成するための回路とともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

【請求項 8】

メインスイッチング用トランジスタをオン／オフ駆動して DC - DC 変換を実施する DC - DC コンバータを構成するために用いられる半導体集積回路装置であって、

10

前記 DC - DC コンバータは、前記メインスイッチング用トランジスタのソース・ドレン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、前記スイッチ回路を、前記メインスイッチング用トランジスタとともに1チップ上に搭載したことを特徴とする半導体集積回路装置。

【請求項 9】

前記第1コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

20

前記第2コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第1コンデンサと並列に接続されて該第1コンデンサにより充電され、その第2コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給され、

前記第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを搭載したことを特徴とする請求項 7 又は 8 に記載の半導体集積回路装置。

【請求項 10】

メインスイッチング用トランジスタをオン／オフ駆動して DC - DC 変換を実施する DC - DC コンバータを内蔵した電子機器であって、前記 DC - DC コンバータは、前記メインスイッチング用トランジスタのソース・ドレン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであることを特徴とする電子機器。

30

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、DC - DC コンバータの制御回路及び DC - DC コンバータに関するものである。

【0002】

ノート型パソコンやゲーム機器などの電子機器には、複数の半導体集積回路装置が組み込まれており、半導体集積回路装置に供給する動作電圧を一定に保つために、DC - DC コンバータを用いて変動する電池電圧の定電圧化が図られている。この DC - DC コンバータの変換効率が電子機器における電池稼働時間を左右するため、その変換効率を高める技術が必要となっている。

【0003】

50

## 【従来の技術】

従来、電池で動作する携帯型の電子機器では、内部回路に供給する動作電圧を一定に保つために、電池電圧から定電圧（動作電圧）に変換するDC-D Cコンバータが搭載されている（例えば、特許文献1～3参照）。その電子機器を普及させるためには、DC-D Cコンバータの変換効率を向上させることが必要となっている。なぜなら、DC-D Cコンバータの変換効率が電子機器の電池稼働時間を左右するからである。例えば、消費電力が1Whである電子機器において、10Whの電池で動作させる場合、DC-D Cコンバータの効率が理想的な100%であれば、10時間動作させることができるが、DC-D Cコンバータの効率が50%であるときには、電子機器の電池稼働時間は5時間に半減してしまう。

10

## 【0004】

具体的に、スイッチングレギュレータ方式のDC-D Cコンバータでは、同期整流方式を採用したり、メインスイッチング用トランジスタとしてN型のFET（電界効果トランジスタ）を用いたりすることで変換効率の改善が図られている（例えば、特許文献4参照）。

## 【0005】

同期整流方式は、DC-D Cコンバータにおいて出力を整流するための回路であるフライホイールダイオードの代わりにFETを用いる方式であり、整流回路における電圧降下を改善することで高効率化を図ることができる。この同期整流方式は、特に出力電圧が低いDC-D Cコンバータにおいて、高い変換効率を実現するために必須の技術になっている。

20

## 【0006】

また、スイッチングレギュレータ方式のDC-D Cコンバータでは、高い電圧から低い電圧に変換する降圧型のものが最も効率がよく、具体的には、95%～96%の高効率を達成しているものも知られている。

## 【0007】

図8には、同期整流方式の降圧型DC-D Cコンバータの従来例を示す。このDC-D Cコンバータ1は、電子機器（例えば、ノート型パソコン）に内蔵され、図示しないバッテリからの入力電圧 $V_{in}$ を変換し、CPUやその周辺回路を動作させるための出力電圧 $V_{out}$ を出力する。

30

## 【0008】

DC-D Cコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と複数個の外付け素子とから構成されている。

制御回路2の第1駆動信号SG1は、メインスイッチング用トランジスタ（具体的には、P型のFET）T1のゲートに供給され、該トランジスタT1のソースには、入力電圧 $V_{in}$ が供給される。メインスイッチング用トランジスタT1のドレインは、同期整流用トランジスタ（具体的には、N型のFET）T2のドレインに接続される。同期整流用トランジスタT2のゲートには、制御回路2の第2駆動信号SG2が入力され、該トランジスタT2のソースはグランドに接続されている。

40

## 【0009】

また、メインスイッチング用トランジスタT1のドレインはチョークコイルL1を介して出力端子3に接続されている。出力端子3は平滑用コンデンサC1を介してグランドに接続されている。さらに、メインスイッチング用トランジスタT1のドレインはフライホイールダイオードD1のカソードに接続され、そのダイオードD1のアノードはグランドに接続されている。

## 【0010】

制御回路2は、分圧抵抗R1, R2、誤差增幅器4、三角波発振器5、PWM比較器6、ドライブ回路7a, 7bを備え、前記第1及び第2駆動信号SG1, SG2を出力することにより、各トランジスタT1, T2のスイッチング動作を制御する。

50

## 【0011】

制御回路 2において、出力電圧  $V_{out}$  が分圧抵抗  $R_1, R_2$  により分圧され、その分圧電圧が誤差増幅器 4 の反転入力端子に入力される。誤差増幅器 4 の非反転入力端子には基準電圧  $e_1$  が入力される。誤差増幅器 4 は、出力電圧  $V_{out}$  に応じた分圧電圧と基準電圧  $e_1$  とを比較し、その電圧差を増幅した出力信号  $A_1$  を出力する。

## 【0012】

誤差増幅器 4 の出力信号  $A_1$  は PWM 比較器 6 の非反転入力端子に入力され、該 PWM 比較器 6 の反転入力端子には三角波発振器 5 が発振した所定周期の三角波信号が入力される。PWM 比較器 6 は、誤差増幅器 4 の出力信号  $A_1$  と三角波発振器 5 の三角波信号とを比較し、その比較結果に基づく所定デューティ比の出力信号  $P_1$  を出力する。この PWM 比較器 6 の出力信号  $P_1$  によって、メインスイッチング用トランジスタ  $T_1$  は、出力電圧  $V_{out}$  を定常状態に保つように所定周波数でオン・オフ制御される。  
10

## 【0013】

図 9 は制御回路 2 の動作波形図である。

制御回路 2において、誤差増幅器 4 の出力信号  $A_1$  の電圧は、出力電圧  $V_{out}$  に応じた分圧電圧（分圧抵抗  $R_1, R_2$  による分圧電圧）と基準電圧  $e_1$  との電圧差が大きいと変動が大きくなり、分圧電圧と基準電圧  $e_1$  との電圧差が小さいと変動が小さくなる。

## 【0014】

PWM 比較器 6 は、誤差増幅器 4 の出力信号  $A_1$  よりも三角波信号が低くなる場合に出力信号  $P_1$  を H レベルとし、出力信号  $A_1$  よりも三角波信号が高くなる場合に出力信号  $P_1$  を L レベルとする。従って、誤差増幅器 4 の出力信号  $A_1$  の電圧が上昇すると、PWM 比較器 6 の出力パルス幅（出力信号  $P_1$  が H レベルとなるパルス幅）が長くなる。  
20

## 【0015】

この PWM 比較器 6 の出力信号  $P_1$  は、ドライブ回路（具体的には、インバータ回路）7a を介してメインスイッチング用トランジスタ  $T_1$  のゲートに第 1 駆動信号  $SG_1$  として反転入力される。そのため、PWM 比較器 6 の出力パルス幅が長くなると、メインスイッチング用トランジスタ  $T_1$  のオン時間が長くなり、逆に PWM 比較器 6 の出力パルス幅が短くなると、メインスイッチング用トランジスタ  $T_1$  のオン時間が短くなる。

## 【0016】

DC-DC コンバータ 1 では、PWM 比較器 6 の出力信号  $P_1$  によって、出力電圧  $V_{out}$  が基準電圧  $e_1$  及び分圧抵抗  $R_1, R_2$  により設定される定電圧となるようにメインスイッチング用トランジスタ  $T_1$  のオン／オフが制御される。  
30

## 【0017】

また、PWM 比較器 6 は、前記出力信号  $P_1$  に対して論理レベルが逆である出力信号  $P_2$  を出力する。つまり、各出力信号  $P_1, P_2$  は互いに相補となるパルス信号として PWM 比較器 6 から出力される。PWM 比較器 6 の出力信号  $P_2$  は、ドライブ回路 7b を介して第 2 駆動信号  $SG_2$  として同期整流用トランジスタ  $T_2$  のゲートに入力される。

## 【0018】

従って、メインスイッチング用トランジスタ  $T_1$  のオン時に同期整流用トランジスタ  $T_2$  がオフされ、メインスイッチング用トランジスタ  $T_1$  のオフ時に同期整流用トランジスタ  $T_2$  がオンされる。すなわち、制御回路 2 から出力される第 1 及び第 2 駆動信号  $SG_1, SG_2$  によって、メインスイッチング用トランジスタ  $T_1$  及び同期整流用トランジスタ  $T_2$  は交互にオンされる。  
40

## 【0019】

メインスイッチング用トランジスタ  $T_1$  のスイッチング動作により、そのトランジスタ  $T_1$  の出力電流は、チョークコイル  $L_1$  及び平滑用コンデンサ  $C_1$  により平滑される。ここで、メインスイッチング用トランジスタ  $T_1$  のオン時には、入力電圧  $V_{in}$  は該トランジスタ  $T_1$  を介して LC 回路（チョークコイル  $L_1$  と平滑用コンデンサ  $C_1$  とからなる平滑回路）に供給される。メインスイッチング用トランジスタ  $T_1$  がオフされると、フライホイルダイオード  $D_1$  を介して電流経路が形成される。このとき、メインスイッチング用トランジスタ  $T_1$  のオン時にチョークコイル  $L_1$  に蓄積されたエネルギーが出力端子 3 側  
50

へ放出される。

【0020】

出力端子3の出力電圧V<sub>out</sub>は、次式により表される。

$$V_{out} = V_{in} \times T_{on} / (T_{on} + T_{off})$$

ここで、T<sub>on</sub>はトランジスタT1がオンとなる期間（図9における出力信号P1のオン時間）、T<sub>off</sub>はトランジスタT1がオフとなる期間（図9における出力信号P1のオフ時間）である。

【0021】

従って、バッテリの消耗や電子機器の使用環境等によって入力電圧V<sub>in</sub>が変動したとしても、出力信号P1のデューティサイクルを制御することによって、出力電圧V<sub>out</sub>を定電圧に保つように補償することができる。

10

【0022】

また、DC-DCコンバータ1では、メインスイッチング用トランジスタT1がオフされるとき、前記第2駆動信号SG2により同期整流用トランジスタT2がオンされて、フライホイールダイオードD1の順方向電圧降下分をクランプして電圧降下を軽減し、平滑効率を向上させるようになっている。

【0023】

ところで、上述したDC-DCコンバータ1では、メインスイッチング用トランジスタT1としてP型のFETを用いている。これに対し、図10に示すDC-DCコンバータ1aのように、メインスイッチング用トランジスタT1としてN型のFETを用いると、メインスイッチング用トランジスタT1におけるオン抵抗が小さくなり、電力損失を低減することが可能となる。

20

【0024】

DC-DCコンバータ1aのメインスイッチング用トランジスタT1としてN型のFETを用いる場合、該トランジスタT1を駆動するための第1駆動信号SG1として入力電圧V<sub>in</sub>よりも高い電圧が必要になる。そのため、このDC-DCコンバータ1aでは、メインスイッチング用トランジスタT1がオン／オフするときにそのソース電位がグランド電位から入力電圧V<sub>in</sub>の間でふれるのを利用して、チャージポンプによりトランジスタT1の駆動電圧を生成するようしている。

30

【0025】

具体的には、PWM比較器6の出力信号P1はドライブ回路8aを介して第1駆動信号SG1としてメインスイッチング用トランジスタT1のゲートに入力され、出力信号P2はドライブ回路8bを介して第2駆動信号SG2として同期整流用トランジスタT2のゲートに入力されている。

40

【0026】

メインスイッチング用トランジスタT1のドレイン・ソース間には、ダイオードD2とコンデンサC3とからなる直列回路が並列に接続されている。ここで、ダイオードD2のカソードがコンデンサC3に接続され、その接続部はドライブ回路8aの電源端子に接続されている。また、ダイオードD2のアノードは、ドライブ回路8bの電源端子に接続されている。さらに、ダイオードD2のアノードはコンデンサC2を介してグランドに接続されている。

40

【0027】

なお、DC-DCコンバータ1aにおける他の回路構成は図8のDC-DCコンバータ1と同じであるのでその説明を省略する。

このDC-DCコンバータ1aにおいて、メインスイッチング用トランジスタT1がオフ、同期整流用トランジスタT2がオンであるとき、メインスイッチング用トランジスタT1のソース電位はグランド電位となる。このとき、ダイオードD2を介してコンデンサC3に電流が流れ、コンデンサC3は、その電圧が入力電圧V<sub>in</sub>と等しくなるまで充電される。次いで、コンデンサC3の充電電圧を利用して、ドライブ回路8aから駆動信号SG1が出力されることでメインスイッチング用トランジスタT1がオンする。

50

## 【0028】

メインスイッチング用トランジスタT1がオンすると、該トランジスタT1のソース電位が入力電圧Vinまで上昇する。このとき、コンデンサC3はトランジスタT1のソースに接続されているので、該コンデンサC3からドライブ回路8aに供給される電圧も上昇して入力電圧Vinよりも高くなる。ここで、トランジスタT1のソース電位が上昇したとしても、該ソース電位に対する第1駆動信号SG1の電圧は変化せず入力電圧Vinとなっている。

## 【0029】

そして、その第1駆動信号SG1によりメインスイッチング用トランジスタT1が駆動される。なおこのとき、ダイオードD2は、電圧が入力電圧Vinよりも高くなったコンデンサC3の電荷が入力電圧Vin側(バッテリ側)に逆流するのを防止する逆流防止回路として機能する。

## 【0030】

このように、DC-DCコンバータ1aにおけるメインスイッチング用トランジスタT1は、入力電圧Vinにより駆動されることとなる。この場合、メインスイッチング用トランジスタT1のゲート容量による電力損失PWは次の式で表される。

## 【0031】

$$PW = 1/2 \times f \times C \times V_{in}^{-2}$$

ここで、fはスイッチング周波数であり、Cはメインスイッチング用トランジスタT1のゲート容量である。また、「^-2」はべき乗を表す。

## 【0032】

すなわち、トランジスタT1のゲート容量Cによる電力損失PWは、スイッチング周波数fに比例するとともに入力電圧Vinの二乗に比例する。

そのため、メインスイッチング用トランジスタT1の駆動電圧として、入力電圧Vinをそのまま利用するのではなく、リニアレギュレータを用いて適正な電圧値まで降圧した電圧を利用することで、ゲート容量Cによる電力損失PWを低減する技術が実用化されている。

## 【0033】

図11には、そのリニアレギュレータ9を用いたDC-DCコンバータ1bの従来例を示す。

DC-DCコンバータ1bにおいて、リニアレギュレータ9には入力電圧Vinが入力されている。リニアレギュレータ9の出力端子は、ダイオードD2のアノードに接続されるとともに、ドライブ回路8bの電源端子に接続されている。なお、他の回路構成は図10のDC-DCコンバータ1aと同じである。

## 【0034】

## 【特許文献1】

特開2000-69746号公報

## 【特許文献2】

特開2000-184612号公報

## 【特許文献3】

特開2001-352750号公報

## 【特許文献4】

特開2000-197349号公報(第7, 8頁、第8図)

## 【0035】

## 【発明が解決しようとする課題】

ところが、DC-DCコンバータ1bの大出力化、高周波化が図られる場合、メインスイッチング用トランジスタT1のゲートに流入するゲート電流が増大するため、リニアレギュレータ9における発熱の問題が生じてしまう。

## 【0036】

また、電力損失を低減するために、図11のDC-DCコンバータ1bにおいて破線で示

10

20

30

40

50

すように、リニアレギュレータ9と出力端子3との間にダイオードD3を追加してもよい。この場合、DC-DCコンバータ1bの起動時には、リニアレギュレータ9の出力が駆動電圧として使用され、出力端子3から定電圧の出力電圧Voutが输出される時には、その出力電圧Voutが駆動電圧として使用される。この方法は、DC-DCコンバータ1bの出力電圧Voutがメインスイッチング用トランジスタT1の駆動電圧として最適な電圧値になる場合には、ゲート容量Cによる電力損失PWを低減する上で好ましいものとなる。

【0037】

しかし、DC-DCコンバータには、分圧抵抗R1, R2を外付け素子として制御回路2の外部に設け、各抵抗R1, R2の抵抗値を変更することにより、出力電圧Voutを任意に設定できるようにしたものも実用化されている。このようなDC-DCコンバータでは、その出力電圧Voutがメインスイッチング用トランジスタT1の駆動電圧の最適値に必ずしもなることはなく、ダイオードD3を追加するといった技術を使用できない。

10

【0038】

また特に、電子機器に搭載される半導体集積回路装置の省電力化が図られ、年々、DC-DCコンバータの低電圧化が進んでいるため、そのDC-DCコンバータの出力電圧をそのままメインスイッチング用トランジスタT1の駆動電圧として使用できなくなっている。

【0039】

本発明は上記問題点を解決するためになされたものであって、その目的は、リニアレギュレータ回路を用いることなく、高い変換効率を実現することができるDC-DCコンバータの制御方法、DC-DCコンバータ、半導体集積回路装置、及び電子機器を提供することにある。

20

【0040】

【課題を解決するための手段】

上記目的を達成するため、請求項1, 3, 7, 8, 10に記載の発明では、メインスイッチング用トランジスタをオン/オフ駆動してDC-DC変換を実施するDC-DCコンバータにおいて、メインスイッチング用トランジスタのソース・ドレイン間には、ダイオードと第1コンデンサとからなる直列回路が並列に接続される。また、第1コンデンサにはスイッチ回路を介して第2コンデンサが並列に接続される。そして、メインスイッチング用トランジスタのオン/オフに同期して、スイッチ回路により2つのコンデンサが接続又は切り離される。これにより、メインスイッチング用トランジスタを駆動するためのゲート電圧が生成される。このようにすると、2つのコンデンサの容量差を利用して、メインスイッチング用トランジスタに供給される入力電圧から所望のゲート電圧を生成することが可能となる。

30

【0041】

請求項2, 4, 9に記載の発明によれば、第1コンデンサは、メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によってダイオードを介して充電される。そして、メインスイッチング用トランジスタのオン時にスイッチ回路がオンされ各コンデンサが並列に接続されると、第1コンデンサにより第2コンデンサが充電される。この第2コンデンサの電圧は、メインスイッチング用トランジスタを駆動するための駆動電圧(ゲート電圧)としてドライブ回路に供給される。

40

【0042】

請求項5, 9に記載の発明によれば、ドライブ回路に駆動電圧を供給する第2コンデンサの電圧が監視され、その電圧に応じてスイッチ回路がオン/オフ制御される。これにより、第2コンデンサの電圧が規定範囲内となるように制御され、メインスイッチング用トランジスタを駆動するための所望のゲート電圧が生成される。

【0043】

請求項6に記載の発明によれば、メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換するDC-DCコンバータにおいて、メインスイッチング用トラン

50

ジスタのソース・ドレイン間には入力電圧を分圧する第1コンデンサと第2コンデンサとが設けられる。そして、第1コンデンサと第2コンデンサとで分圧された入力電圧によって、メインスイッチング用トランジスタの駆動電圧が生成される。

【0044】

請求項7に記載の発明によれば、スイッチ回路がメインスイッチング用トランジスタの駆動信号を生成するための回路とともに1チップの半導体集積回路装置上に搭載されるので、該半導体集積回路装置を用いることにより、DC-DCコンバータの小型化が可能となる。

【0045】

請求項8に記載の発明によれば、スイッチ回路がメインスイッチング用トランジスタとともに1チップの半導体集積回路装置上に搭載されるので、該半導体集積回路装置を用いることにより、DC-DCコンバータの小型化が可能となる。 10

【0046】

請求項9に記載の発明によれば、第2コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とが1チップの半導体集積回路装置上に搭載される。よって、この半導体集積回路装置を用いることにより、DC-DCコンバータの小型化が可能となる。

【0047】

請求項10に記載の発明によれば、DC-DCコンバータの高効率化が図られることにより、電子機器の電池稼働時間を長くすることができる。 20

【0048】

【発明の実施の形態】

(第1実施形態)

以下、本発明をDC-DCコンバータに具体化した第1実施形態を図面に従って説明する。

【0049】

尚、説明の便宜上、従来例と同様の構成については同一の符号を付してその説明を一部省略する。

図1は、本実施形態のDC-DCコンバータの回路図である。DC-DCコンバータ10は、電子機器(例えば、ノート型パソコン)に内蔵され、バッテリBからの入力電圧V<sub>in</sub>を変換し、CPU等の内部回路11を動作させるための定電圧の出力電圧V<sub>out</sub>を出力する。 30

【0050】

DC-DCコンバータ10は、1チップの半導体集積回路装置上に形成された制御回路12、それに外付けされるメインスイッチング用トランジスタT1、同期整流用トランジスタT2、チョークコイルL1、フライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2、C3を備える。このDC-DCコンバータ10におけるメインスイッチング用トランジスタT1及び同期整流用トランジスタT2は、N型のFET(電界効果トランジスタ)である。

【0051】

先ず、外付け素子について説明すると、メインスイッチング用トランジスタT1と同期整流用トランジスタT2とは直列に接続され、メインスイッチング用トランジスタT1のドレインには、バッテリBから直流電圧である入力電圧V<sub>in</sub>が供給される。メインスイッチング用トランジスタT1のソースは同期整流用トランジスタT2のドレインに接続され、同期整流用トランジスタT2のソースはグランドに接続されている。 40

【0052】

メインスイッチング用トランジスタT1のソース、すなわち各トランジスタT1、T2の接続点はチョークコイルL1と平滑用コンデンサC1とからなる平滑回路を介して出力端子3に接続されている。また、各トランジスタT1、T2の接続点には、フライホイールダイオードD1のカソードが接続され、該ダイオードD1のアノードはグランドに接続さ

れている。

【0053】

メインスイッチング用トランジスタT1のドレイン・ソース間には、ダイオードD2とコンデンサC2とからなる直列回路が並列に接続されている。この直列回路では、ダイオードD2のアノードがメインスイッチング用トランジスタT1のドレインに接続され、ダイオードD2のカソードがコンデンサC2に接続されている。また、メインスイッチング用トランジスタT1のソースは、コンデンサC3を介して制御回路12に接続されている。

【0054】

次に、制御回路12の構成について説明する。

制御回路12は、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路8a, 8b、スイッチ回路としてのトランジスタ（具体的には、P型のFET）T3、電圧比較器13、 NAND回路14を備えている。 10

【0055】

この制御回路12において、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6、ドライブ回路8a, 8bの回路構成は、上述した従来技術の制御回路2a（図10参照）と同じである。ここでは、その従来技術との相違点を中心に説明する。

【0056】

すなわち、トランジスタT3のソースは前記ダイオードD2のカソードとコンデンサC2との接続点に接続され、トランジスタT3のドレインはコンデンサC3に接続されている。このトランジスタT3がオンすると、コンデンサC2とコンデンサC3とが並列に接続される。 20

【0057】

また、トランジスタT3のドレインは、ドライブ回路8aの電源端子に接続されるとともに電圧比較器13の反転入力端子に接続されている。従って、電圧比較器13の反転入力端子には、コンデンサC3の電圧（ドライブ回路8aの駆動電圧）が入力される。また、電圧比較器13の非反転入力端子には基準電圧e2が入力される。

【0058】

電圧比較器13は、コンデンサC3の電圧を監視する回路であって、コンデンサC3の電圧と基準電圧e2とを比較して、コンデンサC3の電圧が低いときにはHレベルの信号を出力し、コンデンサC3の電圧が高いときにはLレベルの信号を出力する。電圧比較器13の出力信号はNAND回路14の一方の入力端子に入力され、NAND回路14の他方の入力端子には、PWM比較器6の出力信号P1が入力される。そして、NAND回路14の出力信号はトランジスタT3のゲートに入力される。 30

【0059】

NAND回路14は、PWM比較器6の出力信号P1がHレベルであり、かつ電圧比較器13の出力信号がHレベルであるときに、Lレベルの出力信号を出力してトランジスタT3をオンにする。これにより、各コンデンサC2, C3が並列に接続される。また、PWM比較器6の出力信号P1又は電圧比較器13の出力信号がLレベルであるときに、Hレベルの出力信号を出力してトランジスタT3をオフにする。これにより、各コンデンサC2, C3の接続が切断される。 40

【0060】

本実施形態において、ダイオードD2、コンデンサC2, C3、トランジスタT3、電圧比較器13、NAND回路14によりゲート電圧生成手段が構成されている。

【0061】

次に、DC-DCコンバータ10の動作について説明する。

DC-DCコンバータ10において、メインスイッチング用トランジスタT1がオフ、同期整流用トランジスタT2がオンである場合（PWM比較器6の出力信号P1がLレベル、出力信号P2がHレベルである場合）、メインスイッチング用トランジスタT1のソース電位はグランド電位となる。この場合、ダイオードD2を介してコンデンサC2が充電され、コンデンサC2の電圧は入力電圧V<sub>in</sub>となる。このとき、出力信号P1がLレベ 50

ルであるため、 NAND回路 14 は H レベルの信号を出力してトランジスタ T3 をオフする。よって、コンデンサ C2 とコンデンサ C3 とが切り離され、コンデンサ C3 は充電されない。

【0062】

次に、同期整流用トランジスタ T2 がオフし、メインスイッチング用トランジスタ T1 がオンすると、メインスイッチング用トランジスタ T1 のソース電位が入力電圧  $V_{in}$  まで上昇するので、ダイオード D2 は逆バイアス状態となり、ダイオード D2 がオフしてコンデンサ C2 への充電は停止する。

【0063】

このとき、出力信号 P1 は H レベルであるので、コンデンサ C3 の電圧が基準電圧  $e_2$  よりも低く電圧比較器 13 の出力信号が H レベルである場合には、 NAND回路 14 は L レベルの信号を出力してトランジスタ T3 をオンにする。これにより、コンデンサ C2 とコンデンサ C3 とが並列接続になり、コンデンサ C3 はコンデンサ C2 によって充電される。

【0064】

一方、コンデンサ C3 の電圧が基準電圧  $e_2$  よりも高いときには、電圧比較器 13 の出力信号が L レベルになるので、 NAND回路 14 は H レベルの信号を出力してトランジスタ T3 をオフにする。よって、コンデンサ C2 とコンデンサ C3 とは切り離されたままとなるため、コンデンサ C3 の充電は行われない。

【0065】

次に、メインスイッチング用トランジスタ T1 を駆動するためのゲート電圧  $V_g$ 、すなわち、コンデンサ C3 からドライブ回路 8a に供給される駆動電圧を作成するための動作原理について図 2 の等価回路を用いて説明する。なお、図 2 におけるスイッチ SW は、図 1 におけるダイオード D2 とトランジスタ T3 に相当する。

【0066】

図 2 に示すように、スイッチ SW を入力側端子 Si に接続したとき、コンデンサ C2 に蓄えられる電荷 Q は次式により表される。

$$Q = C_{a2} \times V_{in}$$

ここで、  $C_{a2}$  はコンデンサ C2 の容量値である。

【0067】

次に、スイッチ SW を出力側端子 So に接続すると、コンデンサ C2 に蓄えられた電荷 Q の一部がコンデンサ C3 に移動する。このとき、電荷 Q の総量は変化しないため、次式の関係が成り立つ。

【0068】

$$Q = (C_{a2} + C_{a3}) \times V_g$$

ここで、  $C_{a3}$  はコンデンサ C3 の容量値である。

従って、出力側のゲート電圧  $V_g$  は次式により求められる。

【0069】

$$C_{a2} \times V_{in} = (C_{a2} + C_{a3}) \times V_g$$

$$V_g = C_{a2} / (C_{a2} + C_{a3}) \times V_{in}$$

このように、入力側に接続されるコンデンサ C2 の容量値  $C_{a2}$  と出力側に接続されるコンデンサ C3 の容量値  $C_{a3}$  との容量差を利用して、入力電圧  $V_{in}$  から所望のゲート電圧  $V_g$  に変換することが可能となる。

【0070】

図 2 の等価回路において、周波数  $f$  ( $= 1 / T$ ) のスピードでスイッチ SW を切り替えた場合、入力側 (コンデンサ C2) から出力側 (コンデンサ C3) に流れる平均電流について説明する。

【0071】

すなわち、スイッチ SW を入力側端子 Si に接続したときコンデンサ C2 に蓄えられる電荷  $Q_1$  は、

$$Q_1 = C_{a2} \times V_{in}$$

であり、スイッチ SW を出力側端子 S o に接続したときコンデンサ C 2 に蓄えられる電荷 Q 2 は、

$$Q_2 = C_{a2} \times V_g$$

である。従って、時間 T 秒間にコンデンサ C 2 からコンデンサ C 3 へ移動する電荷 Q は、

$$Q = Q_1 - Q_2$$

$$= C_{a2} \times V_{in} - C_{a2} \times V_g$$

$$= C_{a2} \times (V_{in} - V_g)$$

となる。よって、平均電流 I は次式のように求められる。

10

【0072】

$$I = Q / T = C_{a2} \times (V_{in} - V_g) / T$$

このように、入力側に接続されるコンデンサ C 2 の容量値 C\_{a2} により、出力電流（駆動回路 8 a への供給電流）を所望の値に調整することが可能であり、消費電力が低減される。

【0073】

さらに、DC-D C コンバータ 1 0 の動作について図 3 の等価回路を用いて詳述する。なお、図 3 (a) は、メインスイッチング用トランジスタ T 1 がオフ（同期整流用トランジスタ T 2 がオン）のときの等価回路であり、図 3 (b) は、メインスイッチング用トランジスタ T 1 がオン（同期整流用トランジスタ T 2 がオフ）のときの等価回路である。

20

【0074】

図 3 (a) において、メインスイッチング用トランジスタ T 1 のソース電位はグランド電位であり、コンデンサ C 2, C 3 はグランドに接地される。そのため、ダイオード D 2 を介してコンデンサ C 2 が充電される。このとき、スイッチ SW (トランジスタ T 3) はオフであり、コンデンサ C 3 は回路全体から切り離された状態にある。

【0075】

一方、図 3 (b) において、メインスイッチング用トランジスタ T 1 のソース電位は入力電圧 V\_{in} であり、ダイオード D 2 には逆バイアスが加わるため、コンデンサ C 2, C 3 は入力電圧 V\_{in} に対して切り離される。また、スイッチ SW (トランジスタ T 3) はオンであり、コンデンサ C 2 とコンデンサ C 3 とが並列に接続されることで、コンデンサ C 2 によってコンデンサ C 3 が充電される。

30

【0076】

図 3 (a) と図 3 (b) の状態を繰り返すことにより、コンデンサ C 3 は所定電圧（基準電圧 e 2）まで充電される。このとき、電圧比較器 1 3 によって、コンデンサ C 3 の電圧が必要以上に高くならないように監視され、コンデンサ C 3 の電圧が基準電圧 e 2 以上となる場合には、トランジスタ T 3 がオフされることでコンデンサ C 3 の充電が禁止される。

【0077】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) 2つのコンデンサ C 2, C 3 を利用して入力電圧 V\_{in} を分圧することで、メインスイッチング用トランジスタ T 1 を駆動するためのゲート電圧 V\_g が生成される。このようにすれば、従来のようにリニアレギュレータを用いることなく、最適なゲート電圧 V\_g が生成されるので、DC-D C コンバータ 1 0 の変換効率を高めることができる。

40

【0078】

(2) 電圧監視回路としての電圧比較器 1 3 によって、ドライブ回路 8 a に駆動電圧を供給するコンデンサ C 3 の電圧が監視され、その電圧に応じてスイッチ回路としてのトランジスタ T 3 がオン／オフ制御される。これにより、コンデンサ C 3 の電圧が規定範囲内となるように制御され、メインスイッチング用トランジスタ T 1 を駆動するための所望のゲート電圧 V\_g を生成することができる。

【0079】

50

(3) ゲート電圧  $V_g$  を生成するための回路（駆動電圧生成手段としてのトランジスタ T 3、電圧比較器 1 3、 NAND 回路 1 4）が、1 チップの半導体集積回路装置である制御回路 1 2 に内蔵されている。この制御回路 1 2 を用いることにより、DC-D C コンバータ 1 0 の小型化を図ることができる。

【0080】

(4) 同じサイズの N 型の FET と P 型の FET とを比較した場合、N 型の FET の方が P 型の FET よりもオン抵抗が 42% 小さくなる。従って、本実施形態のように、メインスイッチング用トランジスタ T 1 として N 型の FET を用いると、オン抵抗による電力損失を低減することができる。

【0081】

(5) DC-D C コンバータ 1 0 の高効率化が図られることにより、それを搭載する電子機器の電池稼働時間を長くすることができる。また、DC-D C コンバータ 1 0 を用いることにより、電子機器の小型化を図ることができる。

【0082】

（第 2 実施形態）

以下、本発明を具体化した第 2 実施形態を説明する。但し、以下には第 1 実施形態との相違点を中心に説明する。

【0083】

図 4 に示すように、本実施形態の DC-D C コンバータ 1 0 a では、メインスイッチング用トランジスタ T 1 として P 型の FET を用いている。この場合、入力電圧  $V_{in}$  よりも低いゲート電圧を入力することでメインスイッチング用トランジスタ T 1 を駆動する。ここで、ゲート電圧をグランド電位まで下げるとき、電圧の二乗に比例してゲート容量による電力損失が発生するので、DC-D C コンバータ 1 0 a においては、入力電圧  $V_{in}$  よりも少し低い適切なゲート電圧でメインスイッチング用トランジスタ T 1 を駆動するように構成している。

【0084】

詳述すると、メインスイッチング用トランジスタ T 1 のソース・ドレイン間には、コンデンサ C 2 とダイオード D 2 とからなる直列回路が並列に接続されている。この直列回路では、ダイオード D 2 のカソードがメインスイッチング用トランジスタ T 1 のドレインに接続され、ダイオード D 2 のアノードがコンデンサ C 2 に接続されている。また、メインスイッチング用トランジスタ T 1 のソースは、コンデンサ C 3 を介して制御回路 1 2 a に接続されている。

【0085】

制御回路 1 2 a は、第 1 実施形態の制御回路 1 2 と同様に、分圧抵抗 R 1, R 2、誤差増幅器 4、三角波発振器 5、PWM 比較器 6、ドライブ回路 8 b、トランジスタ T 3、電圧比較器 1 3、NAND 回路 1 4 を備えている。また、制御回路 1 2 a では、メインスイッチング用トランジスタ T 1 を駆動するために、制御回路 1 2 におけるドライブ回路 8 a に代えて、ドライブ回路（具体的にはインバータ回路）8 c を備えている。

【0086】

制御回路 1 2 a において、トランジスタ T 3 のドレインは前記ダイオード D 2 のアノードとコンデンサ C 2 との接続点に接続され、トランジスタ T 3 のソースはコンデンサ C 3 に接続されている。このトランジスタ T 3 がオンすると、コンデンサ C 2 とコンデンサ C 3 とが並列に接続される。

【0087】

トランジスタ T 3 のソースは、ドライブ回路 8 c の低電位側の電源端子に接続されるとともに電圧比較器 1 3 の反転入力端子に接続されている。従って、電圧比較器 1 3 の反転入力端子には、コンデンサ C 3 の電圧（ドライブ回路 8 a の駆動電圧）が入力される。また、電圧比較器 1 3 の非反転入力端子には基準電圧  $e_2$  が入力される。

【0088】

電圧比較器 1 3 は、コンデンサ C 3 の電圧を監視する回路であって、コンデンサ C 3 の電

10

20

30

40

50

圧と基準電圧  $e_2$  とを比較して、コンデンサ  $C_3$  の電圧が小さいときには H レベルの信号を出力し、コンデンサ  $C_3$  の電圧が大きいときには L レベルの信号を出力する。電圧比較器 1 3 の出力信号は NAND 回路 1 4 の一方の入力端子に入力され、NAND 回路 1 4 の他方の入力端子には、PWM 比較器 6 の出力信号  $P_1$  が入力される。そして、NAND 回路 1 4 の出力信号はトランジスタ  $T_3$  のゲートに入力される。

## 【0089】

NAND 回路 1 4 は、PWM 比較器 6 の出力信号  $P_1$  が H レベルであり、かつ電圧比較器 1 3 の出力信号が H レベルであるときに、L レベルの出力信号を出力してトランジスタ  $T_3$  をオンにする。これにより、各コンデンサ  $C_2, C_3$  が並列に接続される。また、PWM 比較器 6 の出力信号  $P_1$  又は電圧比較器 1 3 の出力信号が L レベルであるときに、H レベルの出力信号を出力してトランジスタ  $T_3$  をオフにする。これにより、各コンデンサ  $C_2, C_3$  の接続が切断される。

10

## 【0090】

本実施形態において、ダイオード  $D_2$ 、コンデンサ  $C_2, C_3$ 、トランジスタ  $T_3$ 、電圧比較器 1 3、NAND 回路 1 4 によりゲート電圧生成手段が構成されている。

## 【0091】

次に、DC-DC コンバータ 10 a の動作について図 5 の等価回路を用いて説明する。なお、図 5 (a) は、メインスイッチング用トランジスタ  $T_1$  がオフ (同期整流用トランジスタ  $T_2$  がオン) のときの等価回路であり、図 5 (b) は、メインスイッチング用トランジスタ  $T_1$  がオン (同期整流用トランジスタ  $T_2$  がオフ) のときの等価回路である。

20

## 【0092】

図 5 (a)において、メインスイッチング用トランジスタ  $T_1$  のドレイン電位はグランド電位であり、コンデンサ  $C_2$  はダイオード  $D_2$  を介してグランドに接地される。そのため、コンデンサ  $C_2$  がダイオード  $D_2$  を介して充電される。このとき、スイッチ  $SW$  (トランジスタ  $T_3$ ) はオフであり、コンデンサ  $C_3$  は回路全体から切り離された状態にある。

## 【0093】

一方、図 5 (b)において、メインスイッチング用トランジスタ  $T_1$  のドレイン電位は入力電圧  $V_{in}$  であり、ダイオード  $D_2$  には逆バイアスが加わる。また、スイッチ  $SW$  (トランジスタ  $T_3$ ) はオンであり、コンデンサ  $C_2$  とコンデンサ  $C_3$  とが並列に接続されることで、コンデンサ  $C_2$  によってコンデンサ  $C_3$  が充電される。

30

## 【0094】

この場合、第 1 実施形態と同様に、出力側のゲート電圧  $V_g$  は次式により求められる。

$$V_g = C_{a2} / (C_{a2} + C_{a3}) \times V_{in}$$

すなわち、入力側に接続されるコンデンサ  $C_2$  の容量値  $C_{a2}$  と出力側に接続されるコンデンサ  $C_3$  の容量値  $C_{a3}$  との容量差を利用して、入力電圧  $V_{in}$  から所望のゲート電圧  $V_g$  に変換することができる。

## 【0095】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) 2つのコンデンサ  $C_2, C_3$  を利用して入力電圧  $V_{in}$  を分圧することで、メインスイッチング用トランジスタ  $T_1$  を駆動するためのゲート電圧  $V_g$  が生成される。このようにすれば、最適なゲート電圧  $V_g$  が生成されるので、DC-DC コンバータ 10 a の変換効率を高めることができる。

40

## 【0096】

(2) 電圧比較器 1 3 によって、ドライブ回路 8 c の駆動電圧を供給するコンデンサ  $C_3$  の電圧が監視され、その電圧に応じてトランジスタ  $T_3$  がオン/オフ制御される。これにより、コンデンサ  $C_3$  の電圧が規定範囲内となるように制御され、所望のゲート電圧  $V_g$  を生成することができる。

## 【0097】

(3) 駆動電圧生成手段としてのトランジスタ  $T_3$ 、電圧比較器 1 3、NAND 回路 1 4 が、1 チップの半導体集積回路装置である制御回路 12 a に内蔵されている。この制御回路

50

12aを用いることにより、DC-DCコンバータ10aの小型化を図ることができる。  
【0098】

上記実施の形態は、次に示すように変更することもできる。

・図6に示すDC-DCコンバータ10bや図7に示すDC-DCコンバータ10cのように、メインスイッチング用トランジスタT1を形成した半導体集積回路装置21a, 21bにゲート電圧作成回路を内蔵する構成を採用してもよい。

【0099】

具体的には、例えば、図6のDC-DCコンバータ10bは、半導体集積回路装置21a、制御回路22、外付け素子としてのチョークコイルL1、フライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2, C3を備える。半導体集積回路装置21aは、メインスイッチング用トランジスタT1に加え、同期整流用トランジスタT2、ドライブ回路8a, 8b、ゲート電圧作成回路（電圧比較器13、 NAND回路14, トランジスタT3）を内蔵している。

10

【0100】

図7のDC-DCコンバータ10cも同様に、半導体集積回路装置21b、制御回路22、外付け素子としてのチョークコイルL1、フライホイールダイオードD1、平滑用コンデンサC1、ダイオードD2、コンデンサC2, C3を備える。半導体集積回路装置21bは、メインスイッチング用トランジスタT1に加え、同期整流用トランジスタT2、ドライブ回路8c, 8b、ゲート電圧作成回路（電圧比較器13、 NAND回路14, トランジスタT3）を内蔵している。

20

【0101】

また、DC-DCコンバータ10b, 10cにおける制御回路22は、分圧抵抗R1, R2、誤差増幅器4、三角波発振器5、PWM比較器6を備え、それらを1チップの半導体集積回路装置上に形成している。

【0102】

なお、DC-DCコンバータ10bの回路動作は、第1実施形態のDC-DCコンバータ10と同じである。また、図7のDC-DCコンバータ10cの回路動作は、第2実施形態のDC-DCコンバータ10aと同じである。

【0103】

これらDC-DCコンバータ10b, 10cでは、ゲート電圧Vgを生成するための回路（トランジスタT3、電圧比較器13、 NAND回路14）がメインスイッチング用トランジスタT1とともに1チップの半導体集積回路装置21a, 21bに搭載されている。従って、半導体集積回路装置21a, 21bを用いることにより、DC-DCコンバータ10b, 10cの小型化を図ることができる。

30

【0104】

・図6及び図7に示すDC-DCコンバータ10b, 10cは、2つのチップ（半導体集積回路装置21a, 21bと制御回路22）で構成したが、それらを1つのチップで構成してもよい。

【0105】

・上記各実施形態において、制御回路12, 12a, 22には分圧抵抗R1, R2を内蔵するものであったが、制御回路12, 12a, 22の外部に分圧抵抗R1, R2を設けるようにしてもよい。この場合、分圧抵抗R1, R2の抵抗値を変更することにより、DC-DCコンバータの出力電圧を任意に設定できる。

40

【0106】

・上記各実施形態では同期整流方式のDC-DCコンバータ10, 10a, 10b, 10cに具体化したが、それに限定されるものではない。要は、スイッチングレギュレータ方式のDC-DCコンバータに具体化するものであればよい。例えば、第1実施形態のDC-DCコンバータ10において、制御回路12におけるドライブ回路8bが省略されるとともに、外付け素子としての同期整流用トランジスタT2が省略される。但し、上記各実施形態のように、同期整流方式のDC-DCコンバータの方がフライホイールダイオード

50

D 1 における電力損失を低減できるので、変換効率を向上する上で好ましいものとなる。

【0107】

上記各実施形態の D C - D C コンバータ 10, 10a, 10b, 10c では、第 1 コンデンサ C 2 にスイッチ回路（トランジスタ T 3）を介して第 2 コンデンサ C 3 を並列接続するものであったが、これとは逆に、コンデンサ C 3 にトランジスタ T 3 を介してコンデンサ C 2 を並列接続するように構成してもよい。つまり、コンデンサ C 3 側にトランジスタ T 3 を設けるのではなく、コンデンサ C 2 側にトランジスタ T 3 を設けるようにしてもよい。

【0108】

以上の様々な実施の形態をまとめると、以下のようになる。

10

（付記 1）メインスイッチング用トランジスタをオン／オフ駆動して D C - D C 変換を実施する D C - D C コンバータの制御方法であって、

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第 1 コンデンサとからなる直列回路を並列に接続し、前記第 1 コンデンサにスイッチ回路を介して第 2 コンデンサを並列に接続し、

前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するようにしたことを特徴とする D C - D C コンバータの制御方法。

（付記 2）前記メインスイッチング用トランジスタのオフ時に、前記第 1 コンデンサを、該メインスイッチング用トランジスタに供給される入力電圧により前記ダイオードを介して充電し、

20

前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第 1 コンデンサと第 2 コンデンサとを並列に接続して前記第 2 コンデンサを充電し、その第 2 コンデンサの電圧を、前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給することを特徴とする付記 1 に記載の D C - D C コンバータの制御方法。

（付記 3）前記第 2 コンデンサの電圧を監視して、その電圧に基づいて前記スイッチ回路を制御することを特徴とする付記 2 に記載の D C - D C コンバータの制御方法。

（付記 4）前記 D C - D C コンバータは、前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタを、前記メインスイッチング用トランジスタのオン時にオフし、メインスイッチング用トランジスタのオフ時にオンすることを特徴とする付記 1 ~ 3 のいずれかに記載の D C - D C コンバータの制御方法。

30

（付記 5）メインスイッチング用トランジスタをオン／オフ駆動して D C - D C 変換を実施する D C - D C コンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第 1 コンデンサとからなる直列回路が並列に接続され、前記第 1 コンデンサにスイッチ回路を介して第 2 コンデンサが並列に接続され、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するゲート電圧生成手段を有することを特徴とする D C - D C コンバータ。

40

（付記 6）前記第 1 コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第 2 コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第 1 コンデンサと並列に接続されて該第 1 コンデンサにより充電され、その第 2 コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給されることを特徴とする付記 5 に記載の D C - D C コンバータ。

（付記 7）前記第 2 コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン／オフするスイッチ制御回路とを備えたこと

50

を特徴とする付記 6 に記載の DC - DC コンバータ。

(付記 8) 前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされ、メインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記 5 ~ 7 のいずれかに記載の DC - DC コンバータ。

(付記 9) メインスイッチング用トランジスタを駆動して入力電圧を所望の電圧値に変換する DC - DC コンバータであって、

前記メインスイッチング用トランジスタのソース・ドレイン間に設けられた、入力電圧を分圧する第 1 コンデンサと第 2 コンデンサと、

前記第 1 コンデンサと第 2 コンデンサにより分圧された入力電圧により、メインスイッチング用トランジスタの駆動電圧を生成する駆動電圧生成手段と 10  
を有することを特徴とする DC - DC コンバータ。

(付記 10) メインスイッチング用トランジスタをオン/オフ駆動して DC - DC 変換を実施する DC - DC コンバータを構成するために用いられる半導体集積回路装置であって、

前記 DC - DC コンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第 1 コンデンサとからなる直列回路を並列に接続し、前記第 1 コンデンサにスイッチ回路を介して第 2 コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン/オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、 20

前記スイッチ回路を、前記メインスイッチング用トランジスタの駆動信号を生成するための回路とともに 1 チップ上に搭載したことを特徴とする半導体集積回路装置。

(付記 11) メインスイッチング用トランジスタをオン/オフ駆動して DC - DC 変換を実施する DC - DC コンバータを構成するために用いられる半導体集積回路装置であって、

前記 DC - DC コンバータは、前記メインスイッチング用トランジスタのソース・ドレイン間に、ダイオードと第 1 コンデンサとからなる直列回路を並列に接続し、前記第 1 コンデンサにスイッチ回路を介して第 2 コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン/オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成するものであり、 30

前記スイッチ回路を、前記メインスイッチング用トランジスタとともに 1 チップ上に搭載したことを特徴とする半導体集積回路装置。

(付記 12) 前記第 1 コンデンサは、前記メインスイッチング用トランジスタのオフ時に、該メインスイッチング用トランジスタに供給される入力電圧によって前記ダイオードを介して充電され、

前記第 2 コンデンサは、前記メインスイッチング用トランジスタのオン時に、前記スイッチ回路により第 1 コンデンサと並列に接続されて該第 1 コンデンサにより充電され、その第 2 コンデンサの電圧が前記メインスイッチング用トランジスタを駆動するドライブ回路の駆動電圧として供給され、 40

前記第 2 コンデンサの電圧を監視する電圧監視回路と、その電圧監視回路の出力信号に基づいて、前記スイッチ回路をオン/オフするスイッチ制御回路とを搭載したことを特徴とする付記 10 又は 11 に記載の半導体集積回路装置。

(付記 13) 前記駆動信号を生成するための回路として、出力電圧を分圧する分圧抵抗と、該分圧抵抗による分圧電圧と基準電圧との電圧差を増幅して出力する誤差増幅器と、三角波信号を発振する三角波発振器と、前記三角波発振器の三角波信号と前記誤差増幅器の出力信号とを比較することで所定周期でオン/オフする信号を出力する PWM 比較器とを搭載したことを特徴とする付記 10 に記載の半導体集積回路装置。

(付記 14) 前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタに接続される同期整流用トランジスタ

ンジスタを搭載し、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされ、メインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記11に記載の半導体集積回路装置。

(付記15) メインスイッチング用トランジスタをオン／オフ駆動してDC-DC変換を実施するDC-DCコンバータを内蔵した電子機器であって、

前記DC-DCコンバータは、前記メインスイッチング用トランジスタのソース・ドレン間に、ダイオードと第1コンデンサとからなる直列回路を並列に接続し、前記第1コンデンサにスイッチ回路を介して第2コンデンサを並列に接続し、前記メインスイッチング用トランジスタのオン／オフに同期して、前記スイッチ回路により前記各コンデンサを接続又は切り離すことにより、前記メインスイッチング用トランジスタを駆動するためのゲート電圧を生成することを特徴とする電子機器。

(付記16) 前記DC-DCコンバータは、前記メインスイッチング用トランジスタに直列に接続される同期整流用トランジスタを備え、その同期整流用トランジスタは、前記メインスイッチング用トランジスタのオン時にオフされメインスイッチング用トランジスタのオフ時にオンされることを特徴とする付記15に記載の電子機器。

【0109】

【発明の効果】

以上詳述したように、本発明によれば、リニアレギュレータを用いることなく、高い変換効率のDC-DCコンバータを実現することができる。

【図面の簡単な説明】

【図1】第1実施形態のDC-DCコンバータを示す回路図である。

【図2】第1実施形態の動作を説明するための等価回路図である。

【図3】第1実施形態の動作を説明するための等価回路図である。

【図4】第2実施形態のDC-DCコンバータを示す回路図である。

【図5】第2実施形態の動作を説明するための等価回路図である。

【図6】別のDC-DCコンバータを示す回路図である。

【図7】別のDC-DCコンバータを示す回路図である。

【図8】従来のDC-DCコンバータを示す回路図である。

【図9】制御回路の動作波形図である。

【図10】従来のDC-DCコンバータを示す回路図である。

【図11】従来のDC-DCコンバータを示す回路図である。

【符号の説明】

8a, 8b, 8c ドライブ回路

10, 10a, 10b, 10c DC-DCコンバータ

12, 12a 半導体集積回路装置としての制御回路

13 電圧監視回路としての電圧比較器

14 スイッチ制御回路としての NAND 回路

21a, 21b 半導体集積回路装置

C2 第1コンデンサ

C3 第2コンデンサ

D2 ダイオード

T1 メインスイッチング用トランジスタ

T2 同期整流用トランジスタ

T3 スイッチ回路としてのトランジスタ

V<sub>in</sub> 入力電圧

V<sub>g</sub> ゲート電圧

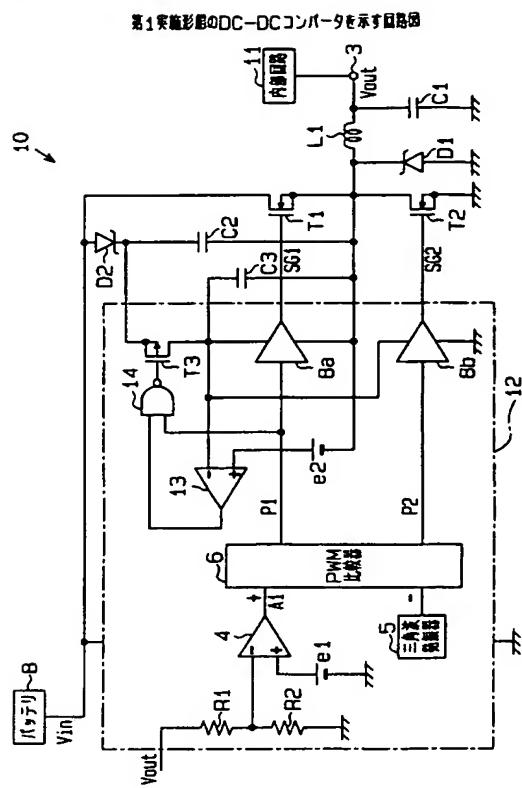
10

20

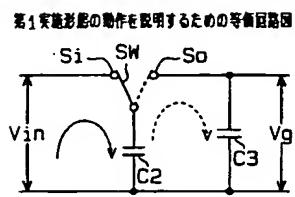
30

40

【図 1】

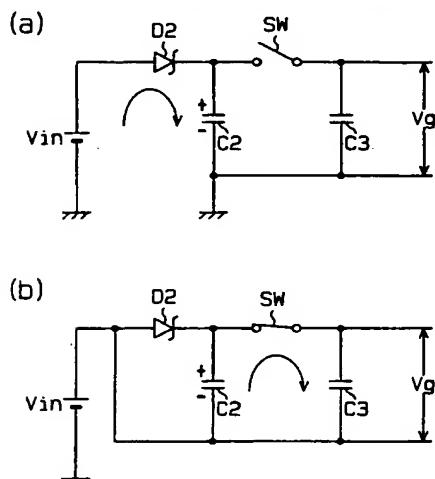


【図 2】

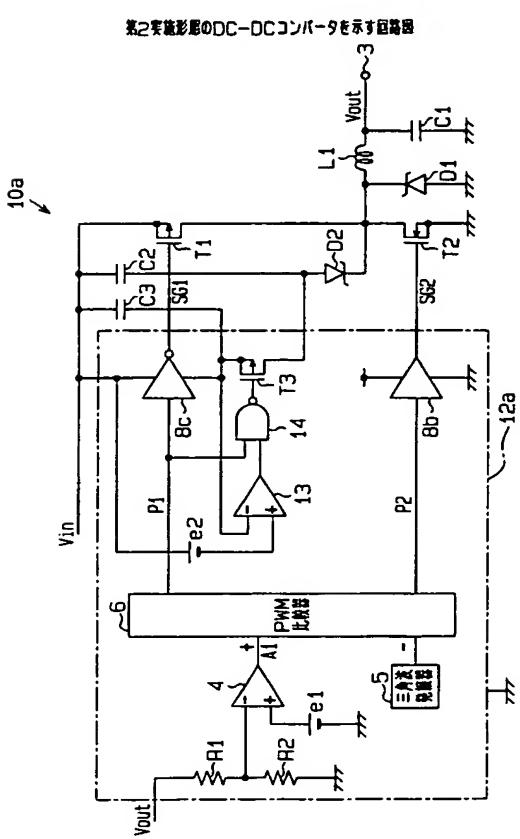


【図 3】

第1実施形態の動作を説明するための等価回路図

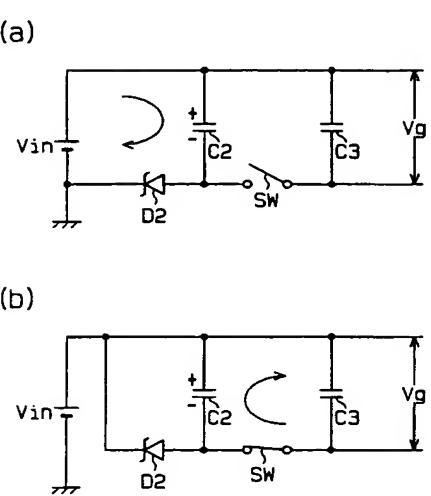


【図 4】



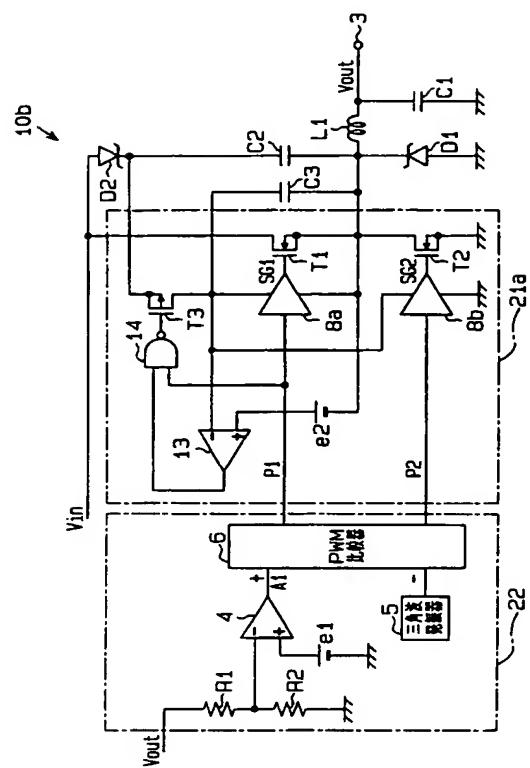
【図 5】

第2実施形態の動作を説明するための等価回路図



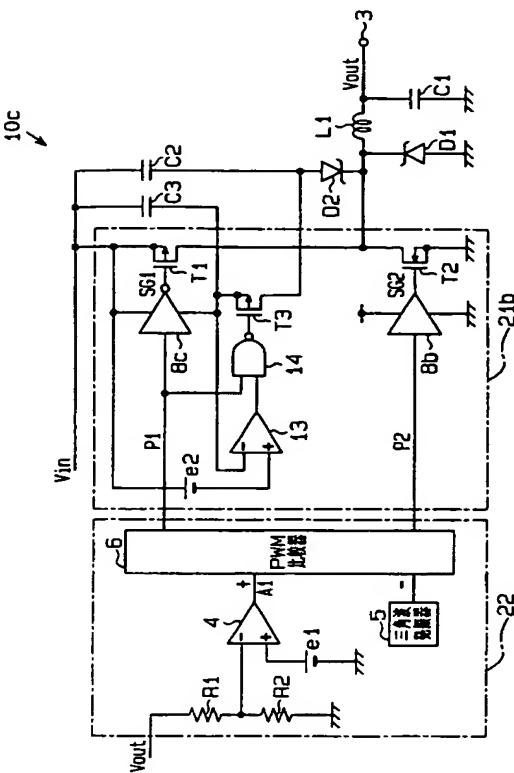
【図 6】

既存のDC-DCコンバータを示す回路図



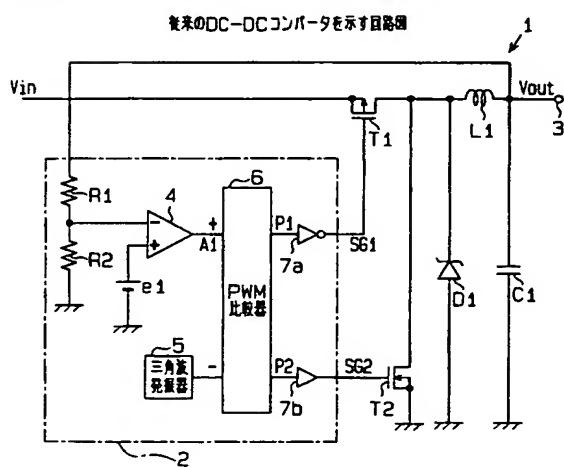
【図 7】

既存のDC-DCコンバータを示す回路図



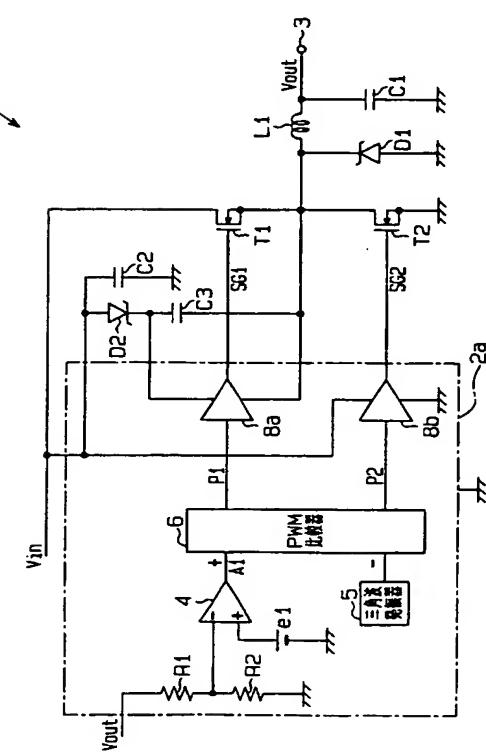
【図 8】

提案のDC-DCコンバータを示す回路図



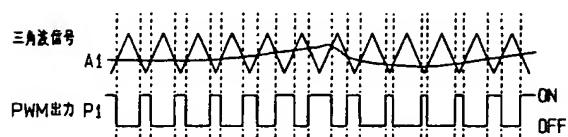
【図 10】

提案のDC-DCコンバータを示す回路図



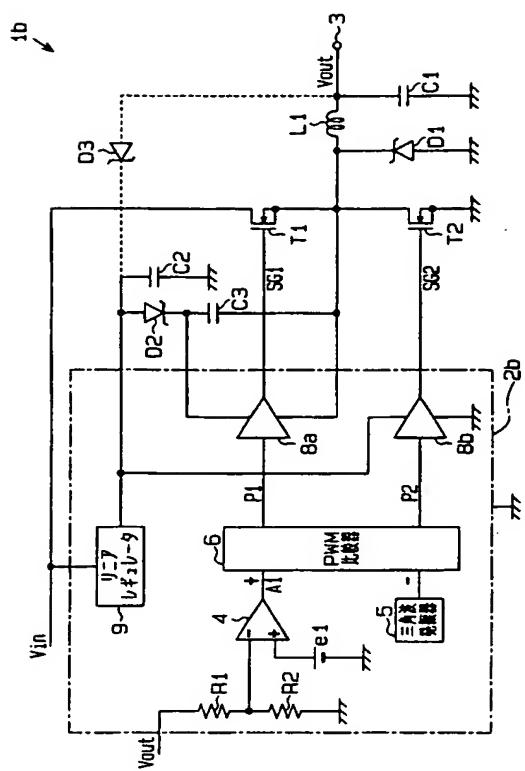
【図 9】

動作波形図



【図 11】

複素のDC-DCコンバータを示す回路図



---

フロントページの続き

(72)発明者 小澤 秀清

愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内  
Fターム(参考) 5H730 AA14 AS01 AS05 BB03 BB13 DD04 EE12 FD03 FF02 FG05